

SISTEMA DE ALMACENAMIENTO EN MEMORIA DE ESTADO SOLIDO E INTERFAZ PARA SISMOGRAFOS

Pablo Pérez Alcázar, C. Agustín Álvarez Rodríguez, Horacio Mijares Arellano

Instituto de Ingeniería, Ciudad Universitaria
Apdo. Postal 70-472
Coyoacán 04510, México, D.F.

RESUMEN

Por la situación geográfica de México, en una de las zonas de mayor sismicidad, existen en el país diversas instituciones que han adquirido desde finales de los setentas y hasta mediados de los ochenta diversos equipos para el registro digital de temblores en cintas magnética con formato NRZ y sus correspondientes sistemas de lectura e interfaz de comunicación con computadora. A la fecha, estos sistemas de adquisición, debido a que poseen piezas mecánicas y componentes electrónicos obsoletos, presentan innumerables problemas. Con el objeto de evitar estos problemas, poder tener un procesamiento continuo de la información sísmica, aprovechar la sección digital de los registradores y actualizar estos equipos se ha construido el sistema SAI-DR100. El objetivo primordial de este trabajo es dar una descripción breve del sistema desarrollado y presentar algunos resultados obtenidos.

INTRODUCCION

Los sismógrafos DR-100 de la marca Sprengnether, con registro digital en cinta magnética, fueron de los primeros equipos sísmicos digitales en el Instituto de Ingeniería. Su uso a partir de 1985 es en el registro de vibración ambiental, para microzonificaciones en ciudades, operando cada uno de los sismógrafos con tres sensores de periodo intermedio de 5 seg., dos horizontales y uno vertical. Los registradores han sido estudiados, contándose con las curvas de respuesta en amplitud del sistema, sismómetros-registrador.

El mantenimiento de la parte correspondiente a la transferencia de datos, lectora de casetes e interfase a computadora, ha presentado problemas debido a la escasez de repuestos y lo obsoleto de las componentes electrónicas.

Para continuar los trabajos de microzonificación, fue necesario desarrollar un equipo capaz de hacer las funciones de lectora e interfase.

El sistema SAI-DR100 desarrollado tiene las siguientes características:

- Comunicación al usuario: Se dan comandos al sistema por medio de un teclado y se visualiza la información mediante un display de cuatro dígitos.
- Almacenamiento: Memoria de 512 Kbytes, en integrados CMOS tipo Flash, que no necesitan alimentación de soporte.
- Tiempo de grabación: El registro máximo a 100 muestras triples por segundo es de 15 minutos.
- Acceso a computadora: Tiene disponible un puerto para comunicación via RS-232-C. Selección de baudaje 1200, 2400, 4800, 9600 baud.
- Borrado de eventos: El borrado se hace por bloques de 128 Kbytes (Posibilidad de modificarse a borrado por byte o por evento).
- Recuperación de información: Por eventos. (Posibilidad de adaptarse para envío de toda la información).
- Búsqueda de eventos: La búsqueda se hace en forma secuencial. (Posibilidad de acceso selectivo).
- Directorio: Da información de los eventos grabados en memoria, desplegando: Fecha, hora, minutos y segundos del inicio del evento.
- Expansión: Hasta 896 Kbytes.
- Compatibilidad. Se puede hacer compatible con equipos con formatos de registro NRZ tal como los equipos Terra Technology.
- Alimentación. 12 volts DC

DESCRIPCION GENERAL DEL SISTEMAS

El diagrama a bloques del sistema de almacenamiento y de comunicación entre el registrador sísmico y una computadora, que logra los objetivos planteados en la introducción, se presenta en la figura 1. Este diagrama pretende mostrar de la manera más general posible los elementos esenciales del sistema y la forma en que están relacionados. En dicho diagrama se observa un bloque de control y procesamiento, el cual se encarga de coordinar la operación de las demás secciones del sistema. Puesto que este bloque se construyó alrededor de un microprocesador, se puede considerar al sistema como una microcomputadora dedicada, la cual contiene cierta cantidad de memoria RAM Y ROM, y ciertos dispositivos

periféricos que pertenecen a los otros bloques. Dentro del bloque de control y procesamiento existen dos decodificadores encargados de direccionar las memorias del sistema y generar las señales de selección que permiten determinar cual dispositivo utilizará el canal en un mometo dado; también se generan las señales necesarias para controlar las interrupciones enviadas al microprocesador y el voltaje de programación, Vpp de las memorias FLASH del bloque de almacenamiento permanente.

El bloque de decodificación y presentación de palabra se encarga de tomar la información procedente del registrador, la cual esta codificada en formato NRZ, y la decodifica para presentarla en palabras de 12 bits en paralelo. Cada grupo de 12 bits debe proveer dos identificadores que le indiquen al microprocesador cual de los tres grupos de 12 bits que intergan una muestra triple es el que se le esta presentando y otro para diferenciar la información correspondiente a los encabezados y los datos.

El diálogo entre el sistema y el operador se realiza mediante el bloque de comunicación con el usuario, el cual consta de los circuitos necesarios para permitir la interrelación entre el teclado, el desplegador y el microprocesador del sistema. Mediante el teclado, el operador puede indicar al microprocesador la función que desea se ejecute y mediante el desplegador, el micro procesador indica la función que se está llevando a cabo.

En el bloque de almacenamiento permanente se guarda la información enviada por el registrador mediante memorias no volátiles del tip FLASH. Este bloque elimina la necesidad de utilizar casetes para almacenamiento masivo de datos y también el soporte de baterías, el cual sería necesario si se emplearan memorias RAM.

Finalmente, se tiene un bloque de comunicación con la computadora, el cual permite dar el formato adecuado a los datos y transmitirlos hacia la PC. El circuito principal de este bloque es un USART, el cual es un receptor/transmisor síncrono y asíncrono universal que permite su programación desde el microprocesador.

RESULTADO

En las pruebas realizadas, el prototipo ha ejecutado satisfactoriamente las funciones esenciales de transferencia directa hacia la computadora y almacenamiento en memoria de los datos proporcionados por el registrador, tal como lo muestra la figura 2, que corresponde a una prueba en transmisión directa. Las señales presentadas en dicha figura son el resultado de conectar cada una de las salidas del sensor triaxial a cada uno de los canales del registrador.

Para comprobar la eficiencia de retención sin modificaciones de información por parte de las memorias FLASH, se hicieron pruebas de almacenamiento de datos, dejandolos por un cierto tiempo (2 meses) en las memorias. Esta información fue caracterizada en el momento de las grabaciones con el objeto de poder comparar su similitud con los datos que posteriormente se recobrarían y procesarían. el resultado de esta prueba fué satisfactorio al comprobarse que la información que se almacenó no sufrió alteraciones durante el tiempo que estuvo guardada en las memorias FLASH, lo cual representa una garantía, en este aspecto, de los integrados utilizados.

Las memorias empleadas para el almacenamiento abarca 512 Kbytes, lo cual da como resultado una capacidad total de almacenamiento de 14 minutos y 58 segundos a 100 muestras por segundo por canal, teniendose la posibilidad de agregar memorias suficientes para poder guardar hasta 25 minutos y 48 segundos.

La corriente suministrada por parte de la alimentación de 5 volts fue de 64 mA, resultando una disipación de potencia de 320 mV; esta disipación es llevada a cabo durante el proceso de adquisición de datos y almacenamiento, la cual resulta mayor a la disipada cuando el prototipo procesa y envía directamente los datos hacia la computadora. En cuanto a las corrientes suministradas por las fuentes de +12 y -12 volts, estas resultaron de 13.7 mA y 0.2 mA, respectivamente; con esto, la disipación de potencia para el primer caso fué 164.4 mW y 2.4 mW para el segundo. Estas últimas dos disipaciones resultaron en el proceso de almacenamiento de datos en memorias FLASH y envío directo de datos a la computadora, respectivamente. Por lo tanto, la potencia total disipada por todo el sistema en condicioes máximas de operación fue de 486.8 mW. En la figura 3, se muestran dos vistas de la implementación final del sistema, el cual esta alambrado con la técnica "wire-wrap" en tres tarjetas.

CONCLUSIONES

El sistema desarrollado permite diversas alternativas mediante modificaciones e implementación de nuevas funciones. A continuación se describen algunas de estas posibles alternativas:

- a) Implementación por programa de un algoritmo de compactación de información que permita aumentar la eficiencia en el uso de la memoria.
- b) Elaboración de un programa que establezca la comunicación con el usuario a través de la computadora por medio del puerto serie (comunicación bidireccional), dando como resultado la eliminación del teclado, desplegador y circuitos de soporte de estos últimos.

c) Elaboración de un programa más completo, que permita al usuario conocer las máximas amplitudes de las señales procesadas, rango de memoria ocupada y disponible, contador de eventos almacenados en memoria, selección de un evento para su análisis por medio del contador de eventos, etc.

d) Implementación en el bloque de decodificación y presentación de palabra de una sección que permita proporcionar las tres señales analógicas, correspondientes a las aceleraciones sensadas en cada canal, para su observación directa por medio de un osciloscopio o graficador en papel; con el cual se logre determinar la correcta operación de los sensores o de la sección de adaptación de la señal analógica a digital en el registrador.

e) Adición, en el bloque de decodificación y presentación de palabra, de un circuito electrónico que permita leer datos grabados en casete, es decir, implementar una lectora de cintas magnéticas.

BIBLIOGRAFIA

- D. V. Hall, Microprocessors and Interfacing. Programming and Hardware (Ed. Mc Graw-Hill, 1986).
- Hitachi America Ltd., IC Memory Data Book, 1988.
- Intel Corporation, Memoria Components Handbook, 1990.
- Intel Corporation, Microsystem Components handbook, 1985, vol I y II.
- Intersil G.E. Company, Component Data Catalog, 1986..
- Y. Liu y G.A. Gibson, Microcomputer Systems: The 8086-8088 Family (Ed. Prentice-Hall, 1984).
- C.L. Morgan y M. Waite, Introducción al Microprocesador 8086-8088 (Ed. Mc. Graw-Hill, 1984).
- National Semiconductor Corporation, CMOS Data-Book, 1981.
- RCA Solid State, COS-MOS Integrated circuit, 1978.
- Sprengnether Instruments Inc. Digital Event Recorder Model DR-100: Operation and Maintenance Instructions, 1980.

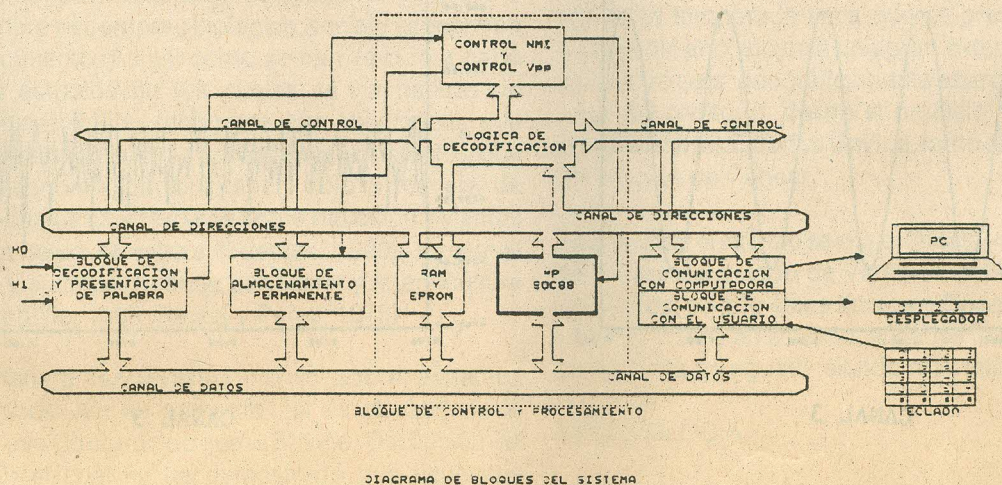
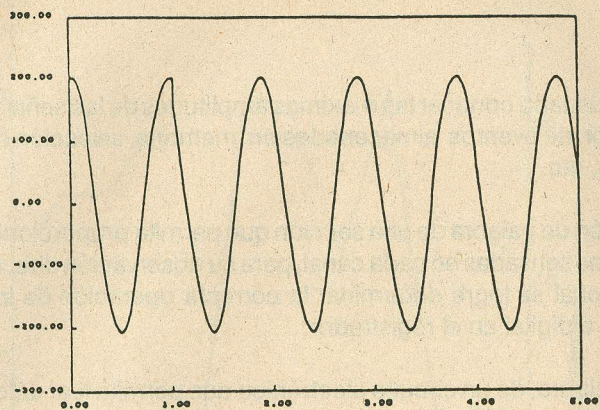
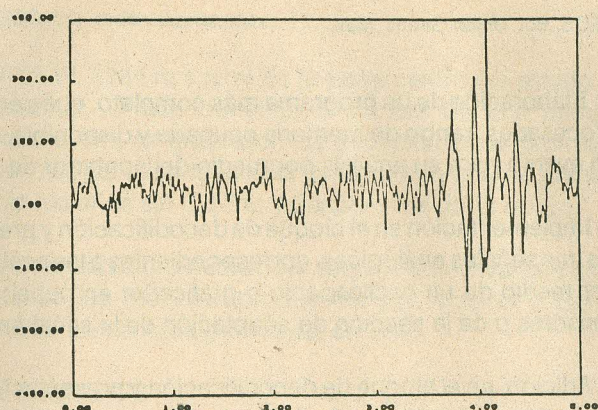


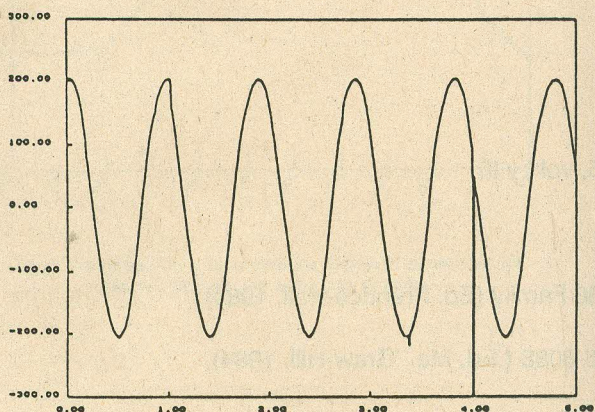
FIGURA 1



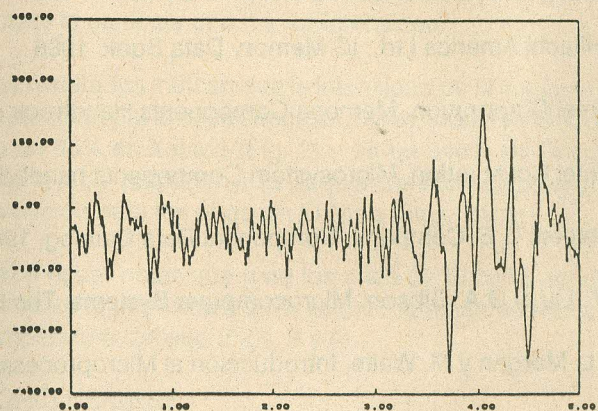
CANAL 1



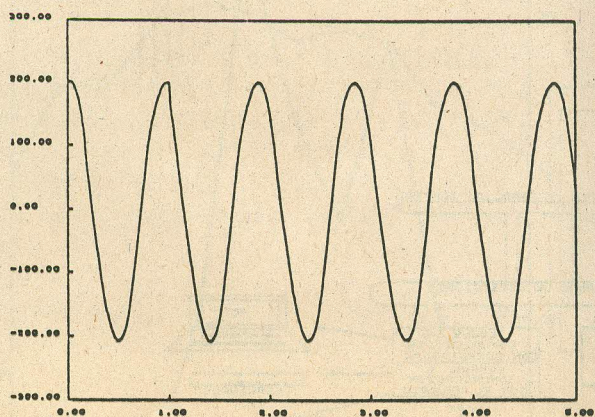
CANAL 1



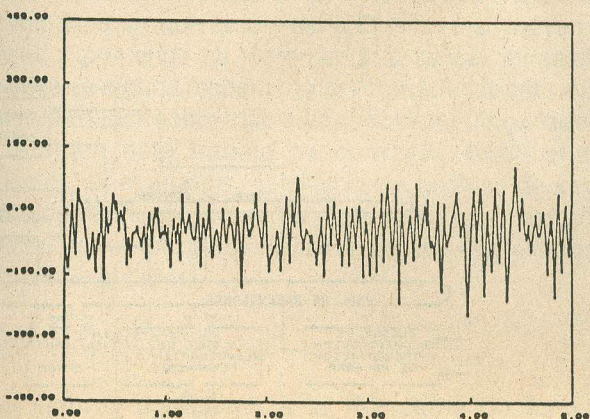
CANAL 2



CANAL 2



CANAL 3



CANAL 3

PRUEBA CON GENERADOR

PRUEBA CON SENSOR

FIGURA 2

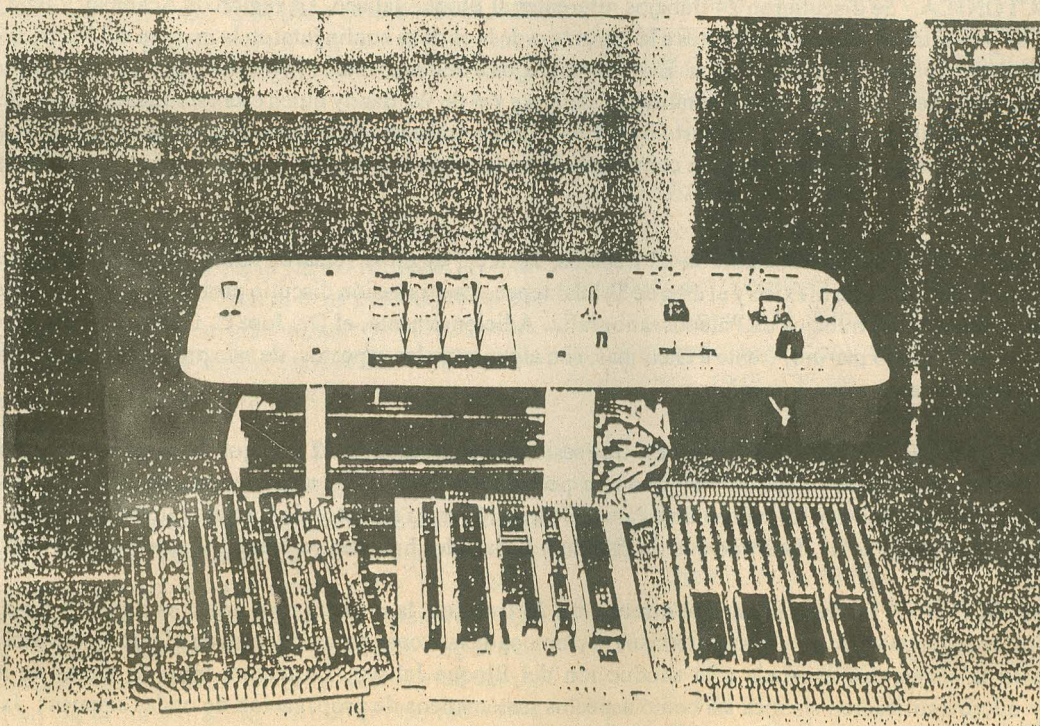
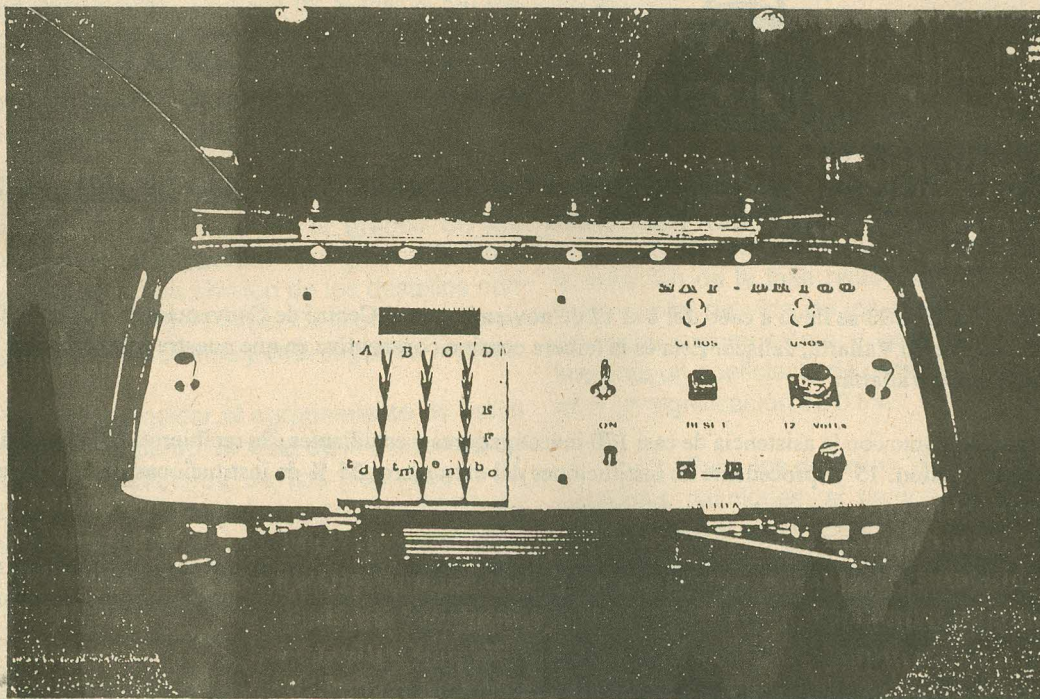


FIGURA 3